



KARTA OPISU PRZEDMIOTU - SYLABUS

Nazwa przedmiotu

Programowalne układy cyfrowe [S1MiKC1>ProgUC]

Przedmiot

Kierunek studiów

Mikroelektronika i komunikacja cyfrowa

Rok/Semestr

2/4

Studia w zakresie (specjalność)

–

Profil studiów

ogólnoakademicki

Poziom studiów

pierwszego stopnia

Język oferowanego przedmiotu

polski

Forma studiów

stacjonarne

Wymagalność

obligatoryjny

Liczba godzin

Wykład

24

Laboratorium

30

Inne

0

Ćwiczenia

0

Projekty/seminaria

0

Liczba punktów ECTS

4,00

Koordynatorzy

dr hab. inż. Olgierd Stankiewicz prof. PP
olgierd.stankiewicz@put.poznan.pl

dr inż. Adam Grzelka
adam.grzelka@put.poznan.pl

Wykładowcy

Wymagania wstępne

Posiada podstawową wiedzę w zakresie algebry Boole'a. Posiada wiedzę w zakresie programowania w językach C/C++. Posiada ogólną wiedzę o cyfrowych układach kombinacyjnych i sekwencyjnych. Posiada ogólną wiedzę o cyfrowej reprezentacji sygnałów i arytmetyce binarnej. Potrafi pozyskiwać informacje z literatury i baz danych oraz innych źródeł w języku polskim lub angielskim. Potrafi się posługiwać językami programowania wysokiego poziomu C/C++. Zna ograniczenia własnej wiedzy i umiejętności, rozumie konieczność dalszego kształcenia się. Potrafi realizować projekty zespołowe.

Cel przedmiotu

Poznanie grupy układów programowalnych (FPGA), ich budowy wewnętrznej i cech funkcjonalnych. Poznanie technik projektowania uwzględniających specyfikę układów programowalnych FPGA. Wprowadzenie do modelowania i testowania projektów dla układów FPGA. Zapoznanie z językami opisu sprzętu. Wprowadzenie do języka Verilog. Poznanie sposobów projektowania i opisu podstawowych struktur układu cyfrowego (automatu, potoki, elementy pamięciowe, FIFO, LIFO). Pokazanie typów magistral komunikacyjnych i sposobów ich projektowania.

Przedmiotowe efekty uczenia się

Wiedza:

Ma podstawową wiedzę o trendach rozwojowych w zakresie układów programowalnych. K1_W11

Posiada wiedzę wystarczającą do projektowania wyspecjalizowanych układów cyfrowych do zastosowania w układach programowalnych. K1_W02, K1_W03

Zna zasadę działania podstawowych interfejsów komunikacyjnych. K1_W02

Zna zasady projektowania podstawowych elementów układów cyfrowych (automaty, potoki). K1_W03

Umiejętności:

Potrafi pozyskiwać dane z literatury i innych źródeł, potrafi integrować uzyskane informacje, dokonywać ich interpretacji, a także formułować i uzasadniać opinie. K1_U01

Potrafi opisać elementy układu cyfrowego w postaci modułu języka Verilog. K1_U10

Potrafi testować i weryfikować poprawność działania układu cyfrowego. K1_U11

Potrafi wykorzystać poznane techniki projektowe do zaprojektowania układu cyfrowego. K1_U10

Posiada umiejętność korzystania z nowoczesnych narzędzi wspomagania projektowania i syntezy układów cyfrowych dla platformy układów FPGA. K1_U11

Kompetencje społeczne:

Jest otwarty na możliwości ciągłego doskonalenia się i rozumie konieczność podnoszenia kompetencji zawodowych. K1_K01

Ma podstawową wiedzę niezbędną do rozumienia pozatechnicznych uwarunkowań działalności inżynierskiej; zna podstawowe zasady bezpieczeństwa i higieny pracy. K1_K02

Ma poczucie odpowiedzialności za zaprojektowane systemy elektroniczne i telekomunikacyjne. K1_K04

Metody weryfikacji efektów uczenia się i kryteria oceny

Efekty uczenia się przedstawione wyżej weryfikowane są w następujący sposób:

Wykład: egzaminy pisemny. Egzamin pisemny składa się z 6-10 pytań zamkniętych oraz otwartych. Każde pytanie jest punktowane zgodnie z jego złożonością. Oczekiwana jest krótka odpowiedź opisowa, lub zaznaczenie poprawnych odpowiedzi pytania zamkniętego. Próg zaliczeniowy: 50% punktów. Zagadnienia zaliczeniowe, na podstawie których opracowywane są pytania, zostaną przesłane studentom drogą mailową z wykorzystaniem systemu uczelnianej poczty elektronicznej.

Laboratorium: raporty (Sprawozdanie) z jednolitych tematycznie bloków ćwiczeń laboratoryjnych.

Projekt laboratoryjny realizowany indywidualnie lub w małych grupach.

Dla zaliczeń wykładu, laboratorium i projektu stosuje się następujące progi procentowe dla poszczególnych ocen: 2,0 (< 50%), 3,0 (50%-59%), 3,5 (60%-69%), 4,0 (70%-79%), 4,5 (80%-89%), 5,0 (90% i więcej).

Treści programowe

Wykład:

Rozwój układów programowalnych, rys historyczny, układy GAL, PAL, CPLD. Opis technologii układów programowalnych FPGA, cechy układów, wielkość, technologia wykonania, opis głównych rodzin układów. Budowa układów programowalnych FPGA - komórka podstawowa (rejestr, LUT), elementy specjalne: pamięci BRAM, bloki DSP, menadżer zegara PLL, DCM, ADCM, gigabitowe porty komunikacyjne GTP, GTX, GTH, SerDes. Techniki projektowania układów cyfrowych pod układy FPGA: efektywne wykorzystanie bloków DSP i pamięci BRAM. Język Verilog - podstawy języka, przykłady systemów wspomagania projektowania, zaawansowane wersje języka. Projektowanie podstawowych struktur układów cyfrowych - automaty, potoki, elementy pamięciowe, kolejki FIFO, LIFO, przykłady w języku Verilog. Magistrale komunikacyjne. Programowanie i testowanie układów programowalnych FPGA.

Laboratorium:

Oprogramowanie do symulacji i syntezy. Podstawowe struktury układów testujących testbench.

Projektowanie różnych modułów: generatory liczb losowych. binarnie kodowany konwerter liczb dziesiętnych, moduły buforowe (np. stos, fifo), jednostki arytmetyczno-logiczne, maszyny stanów/automaty. Projektowanie systemu składającego wykorzystującego automaty, np. demonstracja sygnalizacji świetlnej lub kalkulator równań w notacji infix/postfix.

Tematyka zajęć

Zgodna z treściami programowymi, zwracając między innymi: rozwój układów programowalnych, rys historyczny, układy GAL, PAL, CPLD, opis technologii układów programowalnych FPGA, cechy układów, wielkość, technologia wykonania, opis głównych rodzin układów, budowa układów programowalnych FPGA - komórka podstawowa (rejestr, LUT), elementy specjalne: pamięci BRAM, bloki DSP, menadżer zegara PLL, DCM, ADCM, gigabitowe porty komunikacyjne GTP, GTX, GTH, SerDes, techniki projektowania układów cyfrowych pod układy FPGA: efektywne wykorzystanie bloków DSP i pamięci BRAM, język Verilog - podstawy języka, przykłady systemów wspomagania projektowania, zaawansowane wersje języka, projektowanie podstawowych struktur układów cyfrowych - automaty, potoki, elementy pamięciowe, kolejki FIFO, LIFO, przykłady w języku Verilog, magistrale komunikacyjne. Programowanie i testowanie układów programowalnych FPGA

Metody dydaktyczne

Wykład: prezentacja multimedialna z przykładami prezentowanymi na tablicy.

Laboratoria: praca na komputerach z oprogramowaniem do symulacji i syntezy. Wykorzystanie układów FPGA. Przykłady zilustrowane na ekranie/tablicy

Literatura

Podstawowa:

Łuba T., Rawski M., Tomaszewicz P., Zbierchowski B.: Synteza układów cyfrowych, Wydawnictwa Komunikacji i Łączności, Warszawa 2003.

Hajduk Z. Wprowadzenie do języka Verilog, BTC, Warszawa 2009.

Uzupełniająca:

Synteza i optymalizacja układów cyfrowych, Giovanni De Micheli, WNT.

Skahill K., Język VHDL, WNT.

Kamionka-Mikuła H., Małysiak H., Pochopień B., Synteza i analiza układów cyfrowych, WKŁ.

Zbysiński P., Pasierbiński J.: Układy programowalne pierwsze kroki, Wydawnictwo BTC, Warszawa 2004.

Łuba T. Synteza układów logicznych. Oficyna Wyd. PW, Warszawa, 2005

Bilans nakładu pracy przeciętnego studenta

	Godzin	ECTS
Łączny nakład pracy	104	4,00
Zajęcia wymagające bezpośredniego kontaktu z nauczycielem	54	2,00
Praca własna studenta (studia literaturowe, przygotowanie do zajęć laboratoryjnych/ćwiczeń, przygotowanie do kolokwium/egzaminu, wykonanie projektu)	50	2,00